

2011年5月10日

アルテラ、Quartus II 開発ソフトウェア最新版 v11.0 を発表 ～製品版の Qsys 統合ツールを搭載～

- **業界初のFPGAに最適化されたネットワーク・オン・チップ(NoC)・インタコネクトにより、SOPC Builderツールと比較して最大2倍の性能を達成**

アルテラ・コーポレーション(本社:米国カリフォルニア州サンノゼ、社長兼CEO:ジョン・デйна、日本法人:東京都新宿区西新宿、代表取締役社長:日隈 寛和、NASDAQ:ALTR)は、米国時間5月9日(日本時間:5月10日)、CPLD、FPGA、HardCopy® ASICデザインにおいて、業界で最も優れた性能と生産性を実現する開発ソフトウェア「Quartus® II」の最新バージョン、「Quartus II v11.0」をリリースいたしました。当バージョンは、アルテラの次世代システム統合ツールであるQsysの製品版を搭載しています。この新しいQsysは、業界で初めて、FPGAに最適化されたネットワーク・オン・チップ(NoC)・ベース・インタコネクト機能を持ち、SOPC Builderツールと比較して、最大2倍のインタコネクト性能を実現しています。Qsysは、大規模FPGA設計に対してシステム拡張性を向上させ、Avalonや、ARM社のAMBA® AXI™などの業界標準インタフェースのサポートを可能にしました。

QsysはNoCベース・インタコネクトを使用することで、従来のバスやスイッチ・ファブリック・アーキテクチャと比較して、より高性能なシステムを実現します。Quartus II v11.0において提供されるPCIe to DDR3リファレンス・デザインにより、Qsysを用いて実現できる高性能なインタコネクト機能を確認することができます。このリファレンス・デザインは、メモリ・マップド PCIe Gen2x4エンドポイントと外部DDR3メモリ間で、1,400MB/sを超えるスループットを達成しました。また、自動的にパイプライン化するNoCベース・インタコネクトを使用し、迅速かつ簡単にデータ転送するために、データをパケット化します。さらに、トランザクション・レイヤ・パケット(TLP)のエンコーディング/デコーディング・ロジックの開発が不要になり、PCIeプロトコル・インタフェースをシンプルにできます。これらによって、アルテラが提供するPCIe IPコアにより開発期間を大幅に短縮できることを実証します。このリファレンス・デザインは、アルテラのウェブサイトのQsysページwww.altera.co.jp/qsysから入手できます。

Qsysの階層構造設計フローを活用することで、設計者は拡張性の高い大規模システムを開発することができます。階層構造を使用して、設計者は多数のIPコアやシステム部品を持つ大規模FPGA設計をより小さなサブシステム群に分割することができます。Qsysの階層構造設計フローにより、設計者は、システム性能へのインパクトを最小限にとどめながら新たにサブシステムを追加することが可能となり、それぞれのサブシステムを容易に管理することができます。

Qsysでは、高い柔軟性を提供するために、複数の標準インタフェース間のブリッジング処理を自動化しました。Qsysを利用することで、Avalonベースの、Qsys準拠のIPコアを使用してシステムを開発することが可能となります。また、今後、異なる業界標準インタフェースに準拠したIPコアを、オリジナルのIPコアを置き換えることなく追加することも可能になります。今回のリリースで、QsysはオープンスタンダードなAvalonインタフェースをサポートしています。Qsysの今後のリリースでは、ARM社のAMBA AXI等の業界標準インタフェースのサポートを追加する予定です。

アルテラのソフトウェア、エンベデッド、およびDSP担当マーケティング・シニア・ディレクターのクリス・バロー(Chris Balough)は、「Qsysベータ版の顧客への導入実績は、我々の予想を上回りました。そして、今日、製品版を提供できることを大変光栄に思います。Qsysを利用する顧客は、より高いシステム性能、改良されたシステム拡張性、PCIe IPコアを用いたより迅速なシステム開発等の、Qsysが提供する生産性の利点をすぐに実感できるでしょう」と述べています。

Quartus II 開発ソフトウェア v11.0は、同ソフトウェアの外部メモリ・インタフェース・ツールキットおよびトラン

シーバ・ツールキットの機能拡張により、より迅速なボード開発機能は、設計者が最大限のメモリ効率を達成できるように支援し、設計生産性を向上させます。強化されたトランシーバ・ツールキットは、優れたチャネル・マネージャ・インタフェースとアップデートされたトランシーバ・コントロール・パネルを提供することで、設計者がトランシーバを最適化してシグナル・インテグリティを高め、迅速なボード開発を行うことを可能にします。

Quartus II v11.0 その他の新機能概要

- **新しいデバイスのサポート:** すべてのCyclone® IV GX FPGA向けのファイナル・タイミング・モデルとFPGAコンフィギュレーション・ファイルのサポートを提供します。また、Quartus II v11.0はStratix® V FPGA向けの拡張トランシーバ・モードもサポートします。
- **拡張されたチップ・プランナ:** Stratix V FPGAトランシーバを使用して設計を行う際のユーザビリティを改善します。この機能向上により、すべてのチャネルに対するPLL配置をサポートするクロック・プランニングを可能にします。
- **DSP Builderのために拡張されたOSサポート:** 新たに64ビットWindowsおよびLinuxオペレーティング・システムをサポートします。

Quartus II v11.0の新機能についての詳細情報は、www.altera.co.jp/q2whatsnewをご覧ください。

価格と出荷時期

Quartus II 開発ソフトウェアv11.0のサブスクリプション・エディション、ならびに無償のウェブ・エディションはともに、アルテラの[ウェブサイト](#)からダウンロード可能です。Qsysは、サブスクリプション・エディション、ならびにウェブ・エディションの両エディションで提供されます。ライセンス料とメンテナンス料の支払いがまとめて年一回になる、アルテラのソフトウェア・サブスクリプション・プログラムも利用可能です。「Quartus II 開発ソフトウェアサブスクリプション契約」には、Quartus II 開発ソフトウェア、「ModelSim®-Altera® Starter Edition」、アルテラのIPコアで最もよく利用されている14個のIPコア(DSPとメモリ・コア)で構成されている「IP Base Suite」の全ライセンスが含まれています。年間費用は、米国内販売価格2,995ドル(ノード・ロックPCライセンス時)で、アルテラの[eStore](#)、または[販売代理店](#)からご購入いただけます。

アルテラについて

アルテラは、FPGA/CPLD、ASICなど、カスタム・ロジックの分野で、顧客企業の迅速かつ低コストでのイノベーションに貢献しています。顧客志向のプログラマブル・ソリューションが高く評価され、日本のPLD市場でトップシェアを維持しています。

アルテラのFPGA / CPLD、ASICに関する詳細情報は、同社Webサイト(www.altera.co.jp)をご覧ください。[Facebook](#)、[RSS](#)、[Twitter](#) でも情報提供を行っています。

- Altera, The Programmable Solutions Company, アルテラのロゴ、弊社特定デバイスの定義、およびその他の商標ならびにサービス・マークを意味する語彙は、特記されていない限り、すべてアルテラ・コーポレーションの米国及びその他の国における登録商標、商標またはサービス・マークです。その他記載されている製品名あるいはサービス名は、<http://www.altera.com/legal>に記載されているように、各所有企業に帰属します。

<この件についてのお問い合わせ先>

日本アルテラ株式会社 マーケティング 堀内
TEL: (03)3340-9480(代) FAX: (03)3340-9487