

ザイリンクス、通信事業における設備投資および運用コストの削減に焦点を当てた FEC IP コアの提供を拡充

WDM & Next Generation Optical Networking Conference で
包括的な Forward Error Correction IP コアの提供開始を発表

ザイリンクス社 (本社 : 米国カリフォルニア州サンノゼ、NASDAQ : XLNX) は 2012 年 6 月 18 日 (米国時間)、モナコの Grimaldi Forum で開催されている WDM and Next Generation Optical Networking 2012 (WDM & 次世代光ネットワーク 2012) において、同社の [Forward Error Correction \(FEC\) IP コア](#) を拡充して提供を開始したことを発表した。提供を開始したものには、標準 FEC (GFEC)、拡張 FEC (EFEC) および高利得 (High Gain) FEC ソリューションが含まれる。これらは、信号伝送における誤り制御を提供し、伝送経路の再生中継 (ホップ) 数を減らす形で伝送距離を長延化するため、通信事業で負担となる設備投資および運用コストの削減を可能にする。

ザイリンクスは、製品開発の加速やシステム レベルでの統合時間の短縮に加え、デザインの再利用性を最大限にして、Time-to-Market の削減に貢献できるよう、共通のインターフェイスを採用してこれらの FEC IP コアを開発した。超小型で、高性能な FEC コア (2.5G、10G、40G および 100G アプリケーション向け GFEC IP コア、10G 向け EFEC IP コア、および 100G アプリケーション向けの Xilinx Extended FEC (xFEC) IP コアなど) は、他社の IP コアに比べて使用するシリコン面積を小さく抑えることができるようザイリンクスが設計したもので、ザイリンクス FPGA 専用に最適化されているため、現在利用可能なものの中で最もコンパクトな IP コアである。ザイリンクスはまた、最先端アプリケーション向けの 400G GFEC IP コアの開発にも取り組んでおり、2013 年第 2 四半期に提供を開始する予定である。ザイリンクス FPGA に最適化されたこれら IP コアと [パースシャル リコンフィギュレーション](#) 機能を組み合わせて活用することで、製品コストや消費電力を削減しながらネットワークの相互運用性を最大限にできるだけでなく、複数のインターフェイスのさまざまな FEC 規格を統合することも可能である。

ザイリンクスの有線通信部門のシニア ディレクターであるニック ポスリー (Nick Possley) は、「帯域幅に求められる要件が高くなるにつれ、誤りやレイテンシに対する耐性が低くなります。このため、システム開発者は利用できる帯域幅を拡大し、伝送の質を向上する新しい方法を模索しています。このような課題を解決するために、ザイリンクスは 2.5G、10G、40G、100G および 400G アプリケーション向けに拡充した FEC IP コア ポートフォリオを提供することで、OTN 市場での主導的な立場をさらに強化します。ザイリンクスの 7 シリーズ FPGA で得られる消費電力パフォーマンスにこの FEC ポートフォリオを組み合わせることで、ユーザーは、OTN アプリケーション市場におけるデータ レートの向上、帯域幅の拡大、そしてシステム コストの削減を実現できます」と述べている。

FEC は、冗長なデータを送る送信側 (トランスミッター) と、見かけ上誤りが一切含まれていないようにデータ部分のみを再生する受信側 (レシーバー) との間で誤り制御を維持する。FEC はあらゆる [OTN システム](#) で採用されているが、これを使用することでユーザーは、伝送距離の長延化に伴う SN (信号対ノイズ) 比の低下によって発生する誤りを制御することが可能で、信号をより長い距離の伝送においても、遠端で同じ誤り率を維持できるコーディング ゲインを得ることができる。

種々の FEC 手法によってさまざまなレベルのコーディング ゲインが提供される。コーディング ゲインが高くなると、それに比例して光信号の伝送距離も長くなる。たとえば、Xilinx 100G Extended FEC (xFEC) は、100G 伝送における伝送距離の向上および伝送消費電力の削減を可能にする、業界最高レベルの 9.4dB NECC (6.7% OH 使用) を提供する。

FEC により提供されるコーディング ゲインは、システム運用時の最大スパン長の延伸あるいはスパン数の追加に貢献する。また、使用されている増幅器の出力によって一般的に制限されるシステム内の DWDM チャネル数を増やすのにも有効である。さらにこのコーディング ゲインは、チャネルごとの消費電力を削減してチャネル数を増やしたり、または特定リンクのコンポーネント パラメーター (光出力、アイ マスク、消光比、騒音指数、フィルターの分離など) を緩和してコンポーネント コストを削減するのにも有用である。

供給体制および注文情報

ITU G.709 規格に準拠するザイリンクスの OTU1、2、3、4 (2.5G、10G、40G、100G) GFEC IP コアは、既に提供を開始している。Xilinx 100G Extended FEC (xFEC) は 2012 年 12 月に提供開始を予定している。ザイリンクスはまた、ユーザーからの要望をベースにその他 EFEC IP コアのインプリメンテーションも行っていく構えである。

ザイリンクスの FEC IP コアはコスト競争力に優れており、1 つのプロジェクトに対して 1 ライセンスを支払うのみで、継続的なロイヤリティ費用が発生することはない。シミュレーションおよびハードウェアで IP コアの全機能をフル活用するには、各 IP コアに対してライセンスを 1 つ購入する必要がある。ライセンスの購入方法については、[光伝送ネットワーク ソリューション](#)のページを参照されたい。ザイリンクスの FEC IP コアの価格および供給状況については、販売代理店または FAE へお問い合わせされたい。

ザイリンクスについて

ザイリンクスは、ハードウェアおよびソフトウェアのプログラマビリティを可能にするだけでなく、デジタルおよびアナログ ミックスド シグナルの機能の実装、そしてモノリシックおよびマルチ ダイ 3D IC 双方における新しいレベルのプログラマブル インターコネクトを実現する、従来のデバイスの枠を超えた All Programmable テクノロジーおよびデバイスの世界的なリーディング プロバイダーである。業界をリードするこれらデバイスで次世代設計環境および IP と共に提供することで、プログラマブル ロジックからプログラマブル システム インテグレーションまで、幅広いユーザー ニーズに応える。詳しい情報は、japan.xilinx.com で公開している。

※ ザイリンクスの名称およびロゴ、Artix、ISE、Kintex、Spartan、Virtex、Zynq、その他本プレスリリースに記載のブランド名は米国およびその他各国のザイリンクスの登録商標または商標です。その他すべての名称は、それぞれの所有者に帰属します。

このプレスリリースに関するお問い合わせは下記へ

ザイリンクス株式会社 マーケティング本部 竹腰 TEL: 03-6744-7740/FAX: 03-5436-0532

株式会社井之上パブリックリレーションズ ザイリンクス広報担当 鈴木/関 TEL: 03-5269-2301/FAX:

03-5269-2305

下記のザイリンクス株式会社 Web サイトもご参照ください。

- トップページ : <http://japan.xilinx.com/>
- プレスリリース (日本語) : http://japan.xilinx.com/japan/j_prs_rls/
- このリリースの全文は次の URL を参照のこと :
http://japan.xilinx.com/japan/j_prs_rls/2012/ip-core/fec-ip-cores-for-wired-telecommunication.htm