

ザイリンクス、System Generator for DSP でワイヤレス デザインを簡素化

System Generator for DSP 2015.3、All Programmable FPGA、SoC、MPSoC で 迅速な無線開発およびインプリメンテーションを実現

ザイリンクス社 (本社 : 米国カリフォルニア州サンノゼ、NASDAQ : XLNX) は 10 月 6 日 (米国時間)、System Generator for DSP 2015.3 のリリースを発表した。System Generator for DSP 2015.3 は、ザイリンクスの All Programmable デバイスを使用して高性能 DSP (デジタル信号処理) システムを設計する業界有数の高度なツールである。System Generator を使用することで、アルゴリズム開発者は慣れ親しんだ MATLAB® および Simulink® モデルベース デザイン環境を利用して、従来の RTL で記述する方法に比べて数分の一の時間で、高品質の DSP インプリメンテーションを行うことができる。System Generator for DSP の最新リリースでは、設計の抽象度がさらに高度化するとともに、新しいブロックセット、シミュレーションの高速化、コンパイル実行時間の短縮によって、ワイヤレス無線アルゴリズムの開発における設計生産性が 7 倍以上に向上する。

設計抽象度の向上

System Generator for DSP 2015.3 のリリースでは、HDL Coder と System Generator のブロック階層を Vivado® Design Suite を使用して相互運用可能にすることで、設計時の高度な抽象性を実現している。これにより、高いレベルでターゲットに最適化されたコードをフレキシブルに組み合わせることで、最善のインプリメンテーション結果が得られる。この新しいフローにより、System Generator 内において、JESD204 や CPRI インターフェイス、ワイヤレス無線 IP (クレスト ファクターの低減など) を含むシステムオンチップ (SoC) プラットフォームを簡単に接続できる再利用可能なデータパス インプリメンテーションを実現することができる。

MathWorks 社のフェローであるジム タング (Jim Tung) 氏は、「MathWorks は、今後もザイリンクスの FPGA および All Programmable SoC 向けのワイヤレス無線アルゴリズムを作成するためのコードの生成、検証、プラットフォーム サポートを展開してきます。機能拡張した System Generator と HDL Coder を組み合わせて使用すると、プロトタイプを迅速に実施し、Vivado IP インテグレーターで使用できる高品質の IP を作成するとともに、Simulink 内で高位動作アルゴリズムと最適化済み IP を一緒にシミュレートすることで、MathWorks とザイリンクスの顧客が製品を市場に投入するまでの期間を劇的に短縮できます」と述べている。

機能拡張されたブロックセットにより、検証およびコンパイルの速度が 7 倍に

ワイヤレス アルゴリズム開発において、デジタル アップ コンバーターとデジタル ダウン コンバーター (DUC/DDC) に対する System Generator のブロックセットの使いやすさが向上した。新しいブロックには、検証およびコンパイル実行時間短縮のための改良点が盛り込まれており、それらすべてを 7 個以下のパラメーターで設定できる。デジタル FIR フィルター ブロックは、フィルター デザインおよび MathWorks 社の解析ツールと密に統合されており、固定比率補間またはデシメーション型を含む、面積効率に優れたフィルターを構築できる。正弦波ブロック

と複素積ブロックは、高いサンプル レートにおける周波数変換でのモジュレーターのデザインを大きく簡素化する。再量子化ブロックを使用すると、データ タイプを素早く操作し、データ パスの任意のポイントでダイナミック レンジを最大化することが可能になる。

設計検証と反復デザイン クロージャの迅速化

System Generator の波形ビューワを使用することで開発者は、複数のクロック ドメインのブロック間を簡単にクロス プローブすることができる。新しいインタラクティブなクロス プローブを使用すると、設計検証が迅速化するとともに、反復デザインクロージャが達成される。アルゴリズム開発者は、タイミング解析クロス プローブを使用することでクリティカル パスを迅速に特定し、アルゴリズムのスループットとレイテンシに影響を与える可能性のあるボトルネックを突き止め、速やかに調整できる。また、本リリースの新機能には、System Generator ハードウェア ベースの協調シミュレーションの向上も含まれており、45 倍もの検証実行スピードの向上を実現している。

供給体制

System Generator for DSP 2015.3 は、ザイリンクス 7 シリーズおよび UltraScale™ デバイスをサポートするとともに、UltraScale+™ FPGA および マルチプロセッサ SoC (MPSoC) のアーリー アクセス もサポートしており、現在入手可能である。System Generator および Vivado Design Suite 2015.3 は japan.xilinx.com/download でダウンロード可能である。[System Generator 入門の QuickTake ビデオ](#) をご覧いただき、また、[トレーニング](#) に申し込みいただき、[UltraFast 設計手法](#) を活用して生産性を向上されたい。

ザイリンクスについて

ザイリンクスは、All Programmable FPGA、SoC、MPSoC、3D IC の世界的なリーディング プロバイダーである。ソフトウェア定義でハードウェアが最適化されたアプリケーションを可能にすることによって、クラウド コンピューティング、SDN/NFV、ビデオ / ビジョン、インダストリアル IoT および 5G ワイヤレスなどの分野に飛躍的進歩をもたらす。詳しい情報は、ウェブサイト japan.xilinx.com で公開している。

※ ザイリンクスの名称およびロゴ、Artix、ISE、Kintex、Spartan、Virtex、Vivado、Zynq、その他本プレスリリースに記載のブランド名は米国およびその他の各国のザイリンクスの登録商標または商標です。MATLAB および Simulink は MathWorks 社の登録商標です。その他すべての名称は、それぞれの所有者に帰属します。

このプレスリリースに関するお問い合わせは下記へ

ザイリンクス株式会社 マーケティング部 神保 TEL: 03-6744-7740 / FAX: 03-5436-0532

株式会社井之上パブリックリレーションズ ザイリンクス広報担当 鈴木 / 関 TEL: 03-5269-2301 / FAX: 03-5269-2305

下記のザイリンクス株式会社ウェブサイトもご参照ください。

- トップページ : <http://japan.xilinx.com/index.htm>
- プレスリリース (日本語) : http://japan.xilinx.com/japan/j_prs_rls/
- このリリースの全文は次の URL を参照のこと :
http://japan.xilinx.com/japan/j_prs_rls/2015/tools/system-generator-for-dsp-2015-3.htm