

## ザイリンクス、新しい IP サブシステムで設計手法をレベルアップする Vivado Design Suite 2015.3 を発表

**最大 80 個の独立した IP コア、ソフトウェア ドライバー、デザイン サンプル、テスト ベンチを  
統合した IP サブシステムにより、生産性を大幅に向上**

ザイリンクス社 (本社 : 米国カリフォルニア州サンノゼ、NASDAQ : XLNX) は 10 月 6 日 (米国時間)、Vivado® Design Suite 2015.3 のリリースを発表した。Vivado Design Suite 2015.3 を使用することで、プラットフォーム開発者とシステム開発者によるデザイン チームは、新しい市場特化型のプラグアンドプレイ IP サブシステムにより、抽象度の高い作業が可能となり、生産性を向上させるとともに開発コストを削減することが可能となる。新しい IP サブシステムは、Vivado IP インテグレーター (IPI) および Vivado 高位合成 (HLS) の機能拡張と合わせて使用することで、より大規模な IP 構築ブロックと関連するコンテンツの再利用が可能となり、統合および検証時間が迅速化するとともに、生産性が大きく向上する。

### IP サブシステムにより、一段階上の設計手法へ

ザイリンクスの新しい LogiCORE™ IP サブシステムは、最大 80 個の独立した IP コア、ソフトウェア ドライバー、デザイン サンプル、テスト ベンチを統合した、極めてコンフィギュラブルで市場特化型の構築ブロックである。Vivado Design Suite 2015.3 リリースと同時にザイリンクスは、イーサネット向け、PCIe® 向け、ビデオ処理向け、イメージ センサー処理向け、および OTN 開発向けの新しい IP サブシステムの提供を開始する。これらの IP サブシステムは、ARM® AMBA® AXI4 インターコネクト プロトコル、IEEE P1735 暗号化、IP-XACT などの業界標準に基づくもので、ザイリンクスおよびザイリンクスのアライアンス メンバーの IP と相互運用可能で迅速に統合できる。

ザイリンクスのデザイン メソッドロジ マーケティング担当シニア ディレクタであるトム ファイスト (Tom Feist) は、「これらの IP サブシステムはすべて、より大規模な構築ブロックと、統合および検証を迅速化するために必要なすべてのコンテンツを再利用可能にすることで、生産性を劇的に向上させます。新しいビデオ IP サブシステムで特にユニークな特徴は、C および C++ で記述されており、合成に Vivado HLS が活用されている点です。RTL フローにおける開発期間の見積もりが 2 年間だったのに対し、実際の社内開発時間は約 4 か月と、チームの生産性が 6 倍に向上しました。今後の世代では、生産性はさらに向上していくでしょう。C ベース IP の再利用により、IP サブシステムが簡単にファミリー間で移植できるようになるだけでなく、次世代のシステム要件およびシリコン特性に合わせて、マイクロアーキテクチャとそれに関する RTL を自動的に再最適化できるようになります」と述べている。

新しい極めてコンフィギュラブルなビデオ処理 IP サブシステムは、4K2K ビデオ パイプに対応し、VDMA や、デインターレーサー、クロマ リサンブラ、スケーラーなど、総合的なビデオ サポートを提供する。この新しい IP サブシステムでは、自動生成される AXI インターフェイスおよび Vivado IPI を利用することで、DisplayPort や HDMI、MIPI インターフェイスを簡単にソース、同期することが可能となる。

Vivado 2015.3 のリリースにより、設計者は、機能拡張バージョンの Vivado IP インテグレーター ツールを使用して、新しい IP サブシステムを活用できるようになる。また、主要なすべてのシミュレータをワンクリックで設定でき、IP の統合と検証を効率化するリビジョン管理機能の改良を含む、新しいシミュレーション フローを利用することもできる。

## 供給体制

Vivado Design Suite 2015.3 は、ザイリンクス 7 シリーズおよび UltraScale™ デバイスをサポートするとともに、UltraScale+™ FPGA および マルチプロセッサ SoC (MPSoC) のアーリー アクセス もサポートしており、現在入手可能である。Vivado Design Suite 2015.3 は、[japan.xilinx.com/download](http://japan.xilinx.com/download) でダウンロード可能である。詳細については、[Vivado QuickTake ビデオ](#)をご覧ください、また、[トレーニング](#)に申し込み、[UltraFast 設計手法](#)のメリットを活用されたい。

## ザイリンクスについて

ザイリンクスは、All Programmable FPGA、SoC、MPSoC、3D IC の世界的なリーディング プロバイダーである。ソフトウェア定義でハードウェアが最適化されたアプリケーションを可能にすることによって、クラウド コンピューティング、SDN/NFV、ビデオ / ビジョン、インダストリアル IoT および 5G ワイヤレスなどの分野に飛躍的進歩をもたらす。詳しい情報は、ウェブサイト [japan.xilinx.com](http://japan.xilinx.com) で公開している。

※ ザイリンクスの名称およびロゴ、Artix、ISE、Kintex、Spartan、Virtex、Vivado、Zynq、その他本プレスリリースに記載のブランド名は米国およびその他の各国のザイリンクスの登録商標または商標です。AMBA は EU およびその他の各国の ARM の登録商標です。PCI、PCIe、PCI Express は PCI-SIG の商標であり、同社の許可のもとで使用されています。その他すべての名称は、それぞれの所有者に帰属します。

このプレスリリースに関するお問い合わせは下記へ

ザイリンクス株式会社 マーケティング部 神保 TEL: 03-6744-7740/FAX: 03-5436-0532

株式会社井之上パブリックリレーションズ ザイリンクス広報担当 鈴木/関 TEL: 03-5269-2301/FAX: 03-5269-2305

下記のザイリンクス株式会社ウェブサイトもご参照ください。

- トップページ : <http://japan.xilinx.com/index.htm>
- プレスリリース (日本語) : [http://japan.xilinx.com/japan/j\\_prs\\_rls/](http://japan.xilinx.com/japan/j_prs_rls/)
- このリリースの全文は次の URL を参照のこと :  
[http://japan.xilinx.com/japan/j\\_prs\\_rls/2015/tools/vivado-design-suite-2015-3.htm](http://japan.xilinx.com/japan/j_prs_rls/2015/tools/vivado-design-suite-2015-3.htm)