



プレスリリース

2013 年 7 月 10 日

ザイリンクス、ASIC クラス プログラマブル アーキテクチャである UltraScale を採用した業界初の 20nm All Programmable デバイスをテープアウト

20nm プロセスの UltraScale デバイスによりシステムレベル パフォーマンスを 1.5 倍から 2 倍に、
プログラマブル システムのインテグレーションを可能とすることで競合他社より 1 年先行

ザイリンクス社(本社：米国カリフォルニア州サンノゼ、NASDAQ：XLNX)は 7 月 9 日 (米国時間)、28nm で実績を上げている一連の業界イノベーションを拡張するかたちで、次世代の 20nm に関連した業界初の発表を 2 件行った。ザイリンクスは、半導体業界初の 20nm デバイスと、PLD 業界初の 20nm All Programmable デバイスをテープアウトした。さらに、業界初の ASIC クラス プログラマブル アーキテクチャである UltraScale™ のインプリメンテーションにも成功した。これらのマイルストーンは、28nm テープアウトや All Programmable SoC、All Programmable 3D IC、SoC に対応可能な Vivado® Design Suite といった、ザイリンクスがこれまで成し遂げてきた業界初の実績をさらに拡大するものである。

ザイリンクスのシニア バイス プレジデントでプログラマブル プロダクト グループ担当のヴィクター ペン (Victor Peng) は、「ザイリンクスは業界で最も進んだ 20nm テープアウト計画を立てており、ハイエンド デバイスにおいては最も近い競合より 1 年をはるかに超えて先行しています。また、ミドルレンジのデバイスでも およそ半年先行していると考えています。TSMC 社のテクノロジーやザイリンクスの UltraScale アーキテクチャ、および Vivado® Design Suite を組み合わせることで、実現可能なシステムレベル パフォーマンスを 1.5 倍から 2 倍まで高めるとともにインテグレーションを可能にすることで、競合他社より 1 年先行していると考えています。この事実は競合他社より一世代先を行っているということでもあります」と述べている。

ザイリンクスは TSMC 社との協力により、TSMC 20SoC の開発プロセスにハイエンド FPGA が必要とする要件を盛り込んだ。これは 28HPL の開発時に行ったことと同じである。28nm における両社の協力によって、業界初の 28nm 製品のテープアウトに加え、All Programmable FPGA、SoC、3D IC といったデバイスが生み出され、価格 / パフォーマンス / 消費電力やプログラマブル システムのインテグレーション、BOM コスト削減などにおいてザイリンクスが一世代先行することが可能となった。ザイリンクスは今回、業界でのリーダーシップをもたらしたこの手法を 28nm から 20nm へと拡張し、初の ASIC クラス プログラマブル アーキテクチャとなる UltraScale のテープアウトを業界で初めて実現させた。

UltraScale アーキテクチャは、20 nm プレーナから 16 nm 以下の FinFET テクノロジまで、またモノリシックから 3D IC におよぶスケーラビリティを実現できるように開発されている。システムの総合的スループットとレイテンシのスケラビリティを制約する諸要因に対処できるだけでなく、先進的ノードにおいてチップ パフォーマンス向上の最大のボトルネックとなるインターコネクトの問題を解決することも可能である。

テラビットやテラフロップのフルラインレートでスマート プロセッシングを行い、数百ギガビット / 秒レベルのシステム パフォーマンスを維持するためには、アーキテクチャへの革新的なアプローチが必要になる。単に個々のトランジスタやシステム ブロックのパフォーマンスを高めたり、システム内のブロック数を増やしたりするだけでなく、コミュニケーションやクロッキング、クリティカルパス、インターコネクトを根本的に改良することによって、巨大なデータフローやリアルタイム パケット、DSP、イメージ プロセッシングなどに対応できるようにしなければならない。UltraScale アーキテクチャはこうした課題に取り組むため、下記のような先進的な ASIC に採用されている技術を適用した、完全にプログラマブルなアーキテクチャになっている。

- 数テラビットのスループットが可能なワイドバスへの最適化により、大量のデータフローに対応
- ASIC のように複数リージョンを持つクロッキングや消費電力管理、次世代セキュリティ機能の実装
- 高度に最適化されたクリティカルパスと カスケード接続可能な内蔵高速メモリによって、DSP やパケット プロセッシングのボトルネックを解消
- ステップ ファンクションにより、第2世代 3D IC システムインテグレーションでのダイ間の高帯域接続を実現
- レイテンシの大幅な低減と、3D IC 全体にわたってメモリに最適化したインターフェイスによって I/O とメモリの帯域幅を拡大
- ルーティング輻輳の解消、および Vivado ツールとの最適化により、パフォーマンスに悪影響を与えずにデバイス利用率を 90% 以上に高める

最初の UltraScale デバイスは、現在 28nm プロセステクノロジーで製造されマーケットをリードしている Virtex®、Kintex® FPGA ファミリー や 3D IC ファミリーの 20nm プロセス版に適用される。さらに今後発表される Zynq® UltraScale All Programmable SoC の基礎にもなる。これらのデバイスにより、ハイ パフォーマンスなアーキテクチャ要件が求められる以下のような次世代スマート システムが可能となる。

- インテリジェントなパケット プロセッシングとトラフィック管理が可能な 400G OTN
- スマート ビームフォーミングを備えた 4X4 ミックスドモード LTE と WCDMA 無線
- スマートな画質向上機能や認知機能を備えた 4K2K および 8K ディスプレイ
- ISR (インテリジェンス、監視、偵察) 向けの最もハイパフォーマンスなシステム
- データ センター向けハイパフォーマンス コンピューティング アプリケーション

ザイリンクスの社長兼 CEO であるモーシェ ガブリエロフ (Moshe Gavrielov) は、「業界初の 20nm テープアウトをはじめ、初の ASIC クラス アーキテクチャである UltraScale、初の SoC 強化ツールである Vivado Design Suite、そして常に拡大している IP や C、ARM® プロセッサをベースとするスマート システム向け各種ソリューションによって、業界をリードするザイリンクスは PLD 業界の価値と市場をさらに拡大しつつあります。ザイリンクスは競合他社より 1 年先行して、次世代の価値を顧客にもたらそうとしているのです」と述べている。

供給体制

UltraScale アーキテクチャをベースとする FPGA に対応した Vivado Design Suite の アーリーアクセスはすでに利用可能である。最初の UltraScale デバイスは 2013 年第 4 四半期に提供される。詳しくは japan.xilinx.com/ultrascale を参照されたい。

ザイリンクスについて

ザイリンクスは、All Programmable FPGA および SoC、3D IC の世界的なリーディング プロバイダーである。業界をリードするこれらデバイスを次世代設計環境および IP とともに提供することで、プログラマブル ロジックからプログラマブル システム インテグレーションまで、幅広いユーザー ニーズに応える。詳しい情報は、ウェブサイト japan.xilinx.com で公開している。

※ ザイリンクスの名称およびロゴ、Artix、ISE、Kintex、Spartan、Virtex、Vivado、Zynq、UltraScale、その他本プレスリリースに記載のブランド名は米国およびその他の各国のザイリンクスの登録商標または商標です。ARM は EU およびその他の国での ARM の登録商標および商標です。その他すべての名称は、それぞれの所有者に帰属します。

このプレスリリースに関するお問い合わせは下記へ

ザイリンクス株式会社 マーケティング本部 神保 TEL: 03-6744-7740/FAX: 03-5436-0532

株式会社井之上パブリックリレーションズ ザイリンクス広報担当 鈴木/関 TEL: 03-5269-2301/FAX: 03-5269-2305

下記のザイリンクス株式会社ウェブサイトもご参照ください。

- トップページ : <http://japan.xilinx.com/index.htm>
- プレスリリース (日本語) : http://japan.xilinx.com/japan/j_prs_rls/
- このリリースの全文は次の URL を参照のこと :
- http://japan.xilinx.com/japan/j_prs_rls/2013/xil_corp/first-20nm-device-with-ultrascale-architecture.htm