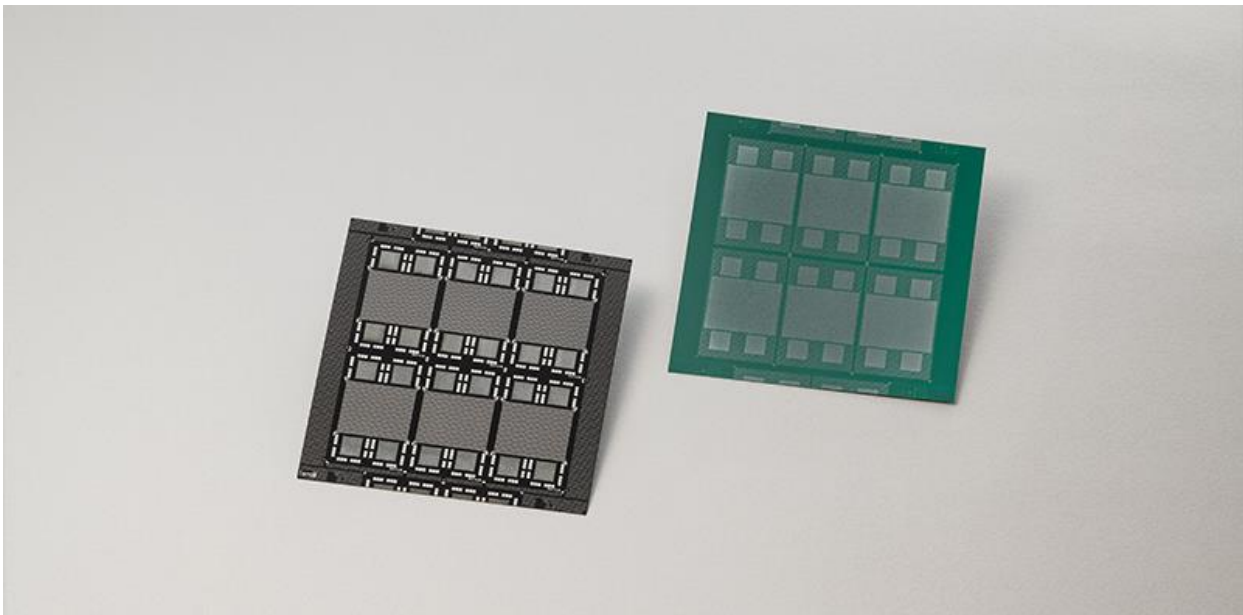


TOPPAN、世界初の単体での電気検査が可能な
次世代半導体向けコアレス有機インターポーターを開発
インターポーターの不良に起因するチップの廃棄ロス的大幅な削減に貢献

TOPPAN ホールディングスのグループ会社である TOPPAN 株式会社(本社:東京都文京区、代表取締役社長:齊藤 昌典、以下 TOPPAN)は、半導体のヘテロジニアスインテグレーション(異種チップ集積)で課題となる、高信頼性の次世代半導体向けコアレス有機インターポーター(※1)を開発しました。

今回開発した次世代半導体向けコアレス有機インターポーターは、再配線層(RDL)の両面を低 CTE(熱膨張率)の材料で補強したものです。シンプルなコアレス構造で、微細配線接続と低 CTE の両立を図りつつ、剛直性の付与を実現しています。これにより有機インターポーター自体を支持体(キャリア)から自立させることができ、世界で初めて有機インターポーター単体での電気検査保証が可能になりました。信頼性がより高まり、インターポーターの不良に起因するチップの廃棄ロス的大幅な削減に貢献することができます。

なお本製品は、6月12日(水)~14日(金)に東京ビッグサイトで開催される「電子機器トータルソリューション展 2024」の TOPPAN ブースで出展予定です。

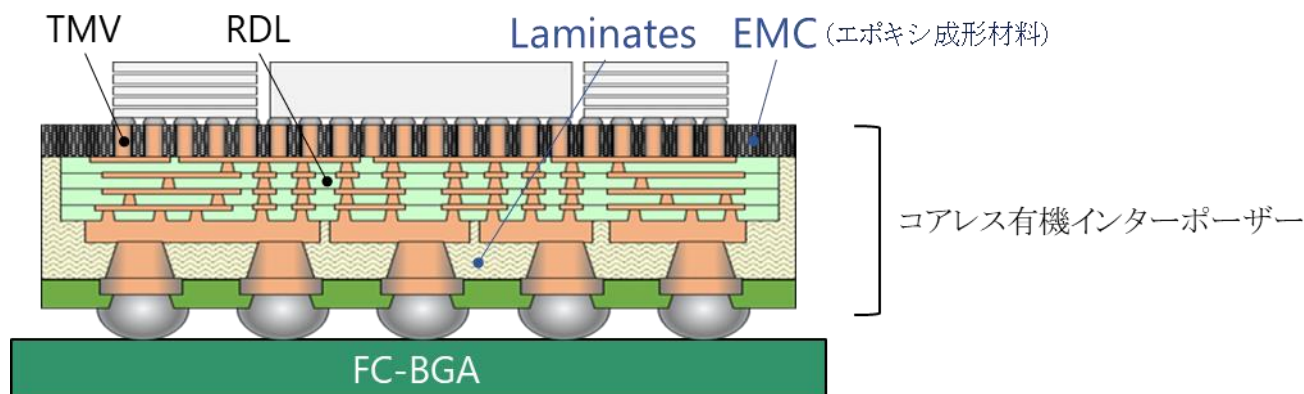


■ 本製品開発の背景

半導体の高機能化において、インターポーター上に異種複数チップを集積するヘテロジニアスインテグレーション(異種チップ集積)が主流となっています。現在は、シリコンインターポーターが主流ですが、コストの観点から将来的には有機インターポーターを採用した半導体パッケージの普及が見込まれています。しかし、一般的な有機インターポーターは構造的に剛直性に乏しく、単体でのハンドリングが困難なため、電気検査時には支持体等に固定する必要があり、その状態では、表裏の導通の確認ができないことが課題でした。

TOPPAN が今回開発した次世代半導体向けコアレス有機インターポーターは、再配線層(RDL)の両面を低 CTE の材料で補強したものです。シンプルなコアレス構造で、微細配線接続と低 CTE の両立を図りつつ、剛直性の付与を実現します。これにより有機インターポーター自体を支持体(キャリア)から自立させることができ、有機インターポーター単体での電気検査保証が可能となります。

有機インターポザーに不良があった場合は、インターポザーに実装した LSI チップまで廃棄しなければなりません。あらかじめ電気検査保証された、信頼性の高い有機インターポザーであれば、チップの廃棄ロスを大幅に削減することが可能になります。



コアレス有機インターポザーの断面構造イメージ

©TOPPAN Inc.

■ 本製品の特長

- 1) 製造工程の途中で支持体から自立することで、単体での電気検査保証が可能で信頼性を高めることができ、Known-good substrate (あらかじめ信頼性が確認できている基板)としての供給が可能。
- 2) 従来パッケージ基板よりも約 45%の低熱膨張を実現。FC-BGA 基板と RDL の熱膨張係数の差に起因するクラック(割れ)を抑止できます。
- 3) 狭ピッチモールド樹脂貫通電極(TMV)構造により、最小接続端子ピッチはチップ側で $40\ \mu\text{m}$ (従来 $130\ \mu\text{m}$)、基板側で $130\ \mu\text{m}$ (従来 $300\ \mu\text{m}$) のファインレーティング/ファインインターコネクトを実現。
- 4) パネルレベル製造のスケラビリティにより、100 mm超の大型インターサイズにも対応可能。

■ 今後の展開

TOPPAN は、本製品をデータセンター向けサーバーCPU、AI アクセラレーター向けなどの半導体パッケージ基板および有機インターポザーへの採用を目指します。また、本構造を含む次世代半導体パッケージ関連製品を 2027 年度からサンプル提供、2028 年度から量産を開始する予定です。

■ 「電子機器トータルソリューション展 2024」について

・会期：2024 年 6 月 12 日(水)～14 日(金)10:00～17:00

・会場：東京ビッグサイト 東ホール

※TOPPAN は「JPCA Show 2024」に出展(東 3 ホール/小間番号 3A-28)

・主催：一般社団法人日本電子回路工業会、一般社団法人エレクトロニクス実装学会、一般社団法人日本ロボット工業会

・公式サイト：<https://www.jpca-show.com/show2024/jp/exhibition/index.html>

※1 インターポザー

貫通電極によって表裏の回路を電氣的に接続するために用いられる基板

* 本ニュースリリースに記載された商品・サービス名は各社の商標または登録商標です。

* 本ニュースリリースに記載された内容は発表日現在のものです。その後予告なしに変更されることがあります。

以 上