

## ザイリックス、SmartConnect テクノロジーの拡張により 16nm UltraScale+ デバイスの性能を 20 ~ 30% 向上

### Vivado Design Suite 2016.1 の SmartConnect テクノロジーで システム インターコネクットのボトルネックを解消、 数百万ロジック セルの高性能システム設計を可能に

ザイリックス社 (本社 : 米国カリフォルニア州サンノゼ、NASDAQ : XLNX) は 4 月 19 日 (米国時間)、SmartConnect テクノロジーへの拡張を含めた Vivado® Design Suite HLx Editions 2016.1 のリリースを発表した。Vivado Design Suite HLx Editions 2016.1 のリリースにより、UltraScale™ および UltraScale+ デバイス ポートフォリオに前例のない水準の性能が実現可能となる。Vivado Design Suite 2016.1 は SmartConnect テクノロジーの拡張を行っており、数百万ロジック セルの高密度なシステム設計におけるシステム インターコネクットのボトルネックを解消する。その結果、UltraScale および UltraScale+ デバイス ポートフォリオは、20 ~ 30% の性能向上を実現しながら、かつ、高いリソース使用率も実現する。

ザイリックスの UltraScale+ ポートフォリオには、業界で唯一利用可能となっている FinFET ベースのプログラマブルテクノロジーが採用されている。UltraScale+ ポートフォリオは、Zynq®、Kintex® および Virtex® UltraScale+ デバイスで構成され、28nm デバイスと比較して単位ワット当たりの性能を 2 ~ 5 倍向上させることで、5G 無線、ソフトウェア定義ネットワーク、次世代運転支援システム (ADAS) など、市場をリードするアプリケーションの発展を可能にする。

ザイリックスの SmartConnect テクノロジーには、システム インターコネクット IP が含まれ、UltraScale+ シリコンのイノベーションにより、以下の機能の最適化が実現されている。

- **AXI SmartConnect IP** : 各種ペリフェラルをユーザー デザインに統合して、新しいシステム コネクティビティを生み出す。SmartConnect により、ユーザーのシステム性能要件に最も適したカスタム インターコネクットを生成できるため、面積と消費電力が小さくても高いシステム スループットを達成できる。AXI SmartConnect IP のアーリー アクセス版は、Vivado Design Suite 2016.1 の Vivado IP インテグレーターから利用できる。
- **タイム ボローイングと便利なスキュー最適化** : これらの最適化は、新しい UltraScale+ 細粒度クロック遅延挿入機能によって可能になっている。完全に自動化されているこれらの機能は、大きな配線遅延を軽減し、利用可能なタイミング スラックをクリティカル パスにシフトすることで、より高いクロック周波数で動作するデザインを実現する。

- **パイプライン解析とリタイミング**：これらの手法により、デザインに臨時のパイプライン段を追加し、自動的にレジスタのリタイミングを最適化することで、設計者はさらに性能を向上させることが可能となる。

## 供給体制

[Vivado Design Suite HLx Editions](#) と組み込みソフトウェア開発ツール 2016.1 リリースは現在、[ダウンロード](#)して利用可能である。ザイリンクスのソフトウェア開発環境の詳細は、[Xilinx Software Developer Zone](#) をご覧いただきたい。

SmartConnect テクノロジーの詳細は、[japan.xilinx.com/smartconnect](http://japan.xilinx.com/smartconnect) をご覧いただき、ホワイトペーパーを参照いただきたい。

## Xilinx UltraScale+ ポートフォリオについて

FPGA、3D IC および MPSoC で構成されている 16nm UltraScale+ ファミリーには、新しいメモリ、3D-on-3D、マルチプロセッシング SoC (MPSoC) テクノロジーが組み込まれ、さらに高いレベルの性能および統合が可能だけでなく、インターコネクト最適化テクノロジーである SmartConnect も搭載されている。UltraScale+ ポートフォリオはシステムレベルで最適化されているため、従来のプロセス ノードの移行を大きく超える価値を提供する。28nm デバイスと比較して、システムレベルでの単位ワット当たりの性能は 2 ~ 5 倍向上、またシステム集積度とインテリジェンスも飛躍的に向上し、最高のセキュリティ性能と安全性を提供する。

## ザイリンクスについて

ザイリンクスは、All Programmable FPGA、SoC、MPSoC、3D IC の世界的なリーディング プロバイダーである。ソフトウェア定義でハードウェアが最適化されたアプリケーションを可能にすることによって、クラウド コンピューティング、SDN/NFV、ビデオ / ビジョン、インダストリアル IoT および 5G ワイヤレスなどの分野に飛躍的進歩をもたらす。詳しい情報は、ウェブサイト [japan.xilinx.com](http://japan.xilinx.com) で公開している。

※ ザイリンクスの名称およびロゴ、Artix、ISE、Kintex、Spartan、Virtex、Vivado、Zynq、その他本プレスリリースに記載のブランド名は米国およびその他の各国のザイリンクスの登録商標または商標です。その他すべての名称は、それぞれの所有者に帰属します。

このプレスリリースに関するお問い合わせは下記へ

ザイリンクス株式会社 マーケティング部 神保 TEL: 03-6744-7740 / FAX: 03-5436-0532

株式会社井之上パブリックリレーションズ ザイリンクス広報担当 鈴木 / 関 TEL: 03-5269-2301 / FAX: 03-5269-2305

下記のザイリンクス株式会社ウェブサイトもご参照ください。

- トップページ : <http://japan.xilinx.com/index.htm>
- プレスリリース (日本語) : [http://japan.xilinx.com/japan/j\\_prs\\_rls/](http://japan.xilinx.com/japan/j_prs_rls/)
- このリリースの全文は次の URL を参照のこと :  
[http://japan.xilinx.com/japan/j\\_prs\\_rls/2016/tools/vivado-design-suite-2016-1.htm](http://japan.xilinx.com/japan/j_prs_rls/2016/tools/vivado-design-suite-2016-1.htm)