



プレスリリース

2013 年 10 月 24 日

## ザイリンクス、Vivado Design Suite 2013.3 が設計手法、 次世代プラグ アンド プレイ IP およびパーシャルリコンフィギュレーションによって 生産性を加速

**Vivado Design Suite 2013.3 はデザイン フローを拡張し革新的な IP の使いやすさを実現**

ザイリンクス社（本社：米国カリフォルニア州サンノゼ、NASDAQ：XLNX）は 10 月 23 日（米国時間）、UltraFast™ 設計手法 のサポートに加え、プラグ アンド プレイ IP のコンフィギュレーション／インテグレーション／検証機能を向上させ、階層化デザイン フロー / パーシャルリコンフィギュレーションを新たに導入した Vivado® Design Suite 2013.3 をリリースした。Vivado Design Suite はザイリンクスの All Programmable デバイスと同時最適化されており、プログラマブル デバイス業界において一世代先のパフォーマンスと生産性を実現できる。

### 新たな UltraFast 設計手法 の自動化をサポート

デザイン サイクルを加速し予測可能とするため、Vivado Design Suite 2013.3 は [UltraFast 設計手法](#)の重要なポイントを自動化する機能を備えており、DRC（デザイン ルール チェック）の提供によりデザイン サイクルの最初から最後までエンジニアをガイドするほか、HDL および制約の各種テンプレートの提供により設計品質を最大限高めることができる。

### プラグ アンド プレイ IP のコンフィギュレーション／インテグレーション／検証機能の向上

ザイリンクスのプラグ アンド プレイ IP 構想は、IP-XACT や IEEE 1735 暗号化、ABMA® AXI™4 インターコネクト プロトコルといった業界標準を活用することによって IP のインテグレーションを加速している。今年になって Vivado Design Suite は、IP Integrator 機能によって業界初のプラグ アンド プレイ IP インテグレーション デザイン環境を提供し、RTL デザインの生産性の限界を打ち破ることに成功している。

Vivado Design Suite 2013.3 リリースでは、IP インテグレーション機能を改善することで使い勝手が大幅に向上したほか、230 もの LogiCORE™/SmartCORE™ IP コアを提供している。今回のアップグレードでは、デザインとザイリンクス IP の同時最適化をシステム全体にわたって行うこともできるようになった。例えば、Ethernet MAC や PCIe® といったコネクティビティ IP を利用すれば、デザイン全体を通じてクロッキング リソースをデザイナー間で共有することが可能である。また、IP のアップグレードにより、IP 内のトランシーバ デバッグ ポートへのトップレベル アクセスが容易になった。さらに、Vivado ロジック アナライザの新機能によって、ランタイムにおいてデザイナーが自分の AXI システムに完全なリード／ライト アクセスを行えるようになった。先進的なトリガー機能を用いてハードウェア デバッグを行い、複雑なイベントを検出／把握することも可能になっている。

今回のリリースでは IP コンフィグレーション機能もアップグレードされ、リビジョン管理が容易になりパッケージングも向上したほか、Cadence の Incisive® Enterprise シミュレータおよび Synopsys の VCS® シミュレータを用いた検証フローも追加されている。

### 新たな階層化デザイン フロー

Vivado Design Suite 2013.3 は、新たに導入された階層化フローとパーシャル リコンフィギュレーションによって複雑なシステムのインテグレーション、検証、インプリメンテーションをさらに加速できる。

新たに追加された「トップダウン モジュール リユース」フローは、各チームメンバーが完全に実装／検証されたサブシステムをデザインの他の部分とは別に開発／提供し、それらをトップレベルにおいて組み立てることを可能にする。これによって、インテグレーション作業中や、システムの他の部分のデザインが変更された場合でも、タイミング収束や検証サイクルを新たに追加する必要がなくなる。「ボトムアップ モジュール リユース」フローも新たに利用できるようになった。これによりトップレベルのコンテキストから離れて IP の配置やルーティングができるため、保存した成果を複数のデザインで使い回すことが可能となり、デザインの再利用が容易になる。

Vivado Design Suite 2013.3 は、すでに多数の顧客が ISE Design Suite を用いて成功しているパーシャル リコンフィギュレーションもサポートしている。これにより FPGA のダウンタイムを発生させずにサブモジュールの変更をダイナミックに行うことが可能である。

Trendium 社のファームウェア エンジニアリング マネジャーであるスティーブン フレイ (Stephen Frey)氏は、「ザイリンクスが 7 シリーズ デバイス向けに Vivado で提供しているパーシャル リコンフィギュレーションのおかげで、わが社はシステム オン チップによるリコンフィギュレーション可能なモジュールを実現でき、同時に PCIe リンクの要件も維持することができました」と述べている。

### 供給体制

ザイリンクスがどのようにして一世代先行を維持しているのかについて詳しくは、[japan.xilinx.com/download](http://japan.xilinx.com/download) から Vivado Design Suite 2013.3 をダウンロードされたい。また、Vivado Design Suite の[トレーニング](#)にサインアップするか、オンライン トレーニングをご覧ください。加えて、[UltraFast](#) 設計手法 と、Vivado Design Suite をベースとする[ターゲット リファレンス デザイン](#)を利用すれば、生産性を大幅に向上することができる。

### ザイリンクスについて

ザイリンクスは、All Programmable FPGA および SoC、3D IC の世界的なリーディング プロバイダーである。業界をリードするこれらデバイスで次世代設計環境および IP とともに提供することで、プログラマブル ロジックからプログラマブル システム インテグレーションまで、幅広いユーザー ニーズに応える。詳しい情報は、ウェブサイト [japan.xilinx.com](http://japan.xilinx.com) で公開している。

※ ザイリンクスの名称およびロゴ、Artix、ISE、Kintex、Spartan、Virtex、Zynq、Vivado、その他本プレスリリースに記載のブランド名は米国およびその他の国のザイリンクスの登録商標または商標です。その他すべての名称は、それぞれの所有者に帰属します。

このプレスリリースに関するお問い合わせは下記へ

ザイリンクス株式会社 マーケティング部 神保 TEL: 03-6744-7740/FAX: 03-5436-0532

株式会社井之上パブリックリレーションズ ザイリンクス広報担当 鈴木/関 TEL: 03-5269-2301/FAX: 03-5269-2305

下記のザイリンクス株式会社ウェブサイトもご参照ください。

- トップページ : <http://japan.xilinx.com/index.htm>
- プレスリリース (日本語) : [http://japan.xilinx.com/japan/j\\_prs\\_rls/](http://japan.xilinx.com/japan/j_prs_rls/)
- このリリースの全文は次の URL を参照のこと :
- [http://japan.xilinx.com/japan/j\\_prs\\_rls/2013/tools/vivado-design-suite-2013-3.htm](http://japan.xilinx.com/japan/j_prs_rls/2013/tools/vivado-design-suite-2013-3.htm)