



プレスリリース

2013 年 12 月 10 日

ザイリンクス、業界最大の 440 万ロジックまで容量を倍増、 高密度の達成により完全に一世代先行

**Virtex UltraScale が先進的な 3D IC テクノロジーによりプロセスノードの限界を拡大、
28nm で 2 倍、20nm で 4 倍の密度を達成し顧客価値を高める**

ザイリンクス社 (本社 : 米国カリフォルニア州サンノゼ、NASDAQ: XLNX) は 12 月 10 日 (米国時間)、業界最大規模のザイリンクス Virtex®-7 2000T デバイスの 2 倍以上の容量を持つ記録的な 440 万ロジックセル デバイスを発表した。これにより二世連続してハイエンドにおけるリーダーシップを打ち立てるとともに、新たなノードの実現により顧客価値を高めることとなる。また同日発表されたザイリンクスの All Programmable UltraScale™ ポートフォリオのハイエンド デバイスとなる Virtex UltraScale VU440 3D IC は、ザイリンクスの業界でのリードを 28nm のときの競合とのデバイスあたりの容量比 2 倍から 20nm で 4 倍にまで広げるプロダクトであり、他のいかなるプログラマブル デバイスよりも大きな容量を提供する。先進的な 3D IC テクノロジーの採用により、VU440 は 20nm デバイスでありながら、発表されている 14 / 16nm による競合他社製品と比べてもより優れた性能を実現している。

Virtex UltraScale VU440 は業界に新しいベンチマークを打ち立てるデバイスであり、次世代の製造 / プロトタイプング アプリケーションに対応できる 5,000 万 ASIC ゲート相当の性能を提供する。20nm Virtex UltraScale デバイスは最も優れたシステム パフォーマンスと帯域幅を実現できるため、400G MuxSAR や 400G トランスポンダ、400G MAC to Interlaken ブリッジといったアプリケーションをシングルチップでインプリメンテーションすることが可能である。

[Synopsys 社](#) の IP / システム マーケティング担当バイスプレジデントであるジョン クーター (John Koeter) 氏は、「Synopsys は、FPGA をベースとしハードウェアとソフトウェアが完全に統合されたプロトタイプング システムである [HAPS](#) において、ザイリンクスのデバイスを六世代にわたって利用してきました。ザイリンクスの Virtex UltraScale VU440 の機能と HAPS の優れたシステム能力を組み合わせることでシステムの総合的なパフォーマンスと容量を高めることができるので、ソフトウェアの早期開発やハードウェア / ソフトウェア インテグレーション、SoC システム検証などの生産性を高めることができると考えています」と述べている。

Virtex UltraScale ファミリーは、新しいレベルのパフォーマンス、システム インテグレーション、帯域幅だけでなく、リプログラマブル性というメリットも提供する。Virtex UltraScale VU440 デバイスのスケーラビリティは、ASIC クラスのアーキテクチャによって可能となっており、次世代ルーティングによる最高 90% の利用率や ASIC 方式のクロッキング、パワーマネージメント、インターコネク トボトルネックの解消、クリティカル パスの最適化といった特徴を持つ。これらのデバイスは、多様なマルチプライヤや高速メモリ カスケードリング、33G まで対応可能なラン

シーバ、業界をリードする 100Gb/s イーサネット MAC および 150Gb/s Interlaken IP コアの内蔵といった主要アーキテクチャ ブロックの大幅な改良に加えて、フルライン レートでスマート プロセッシングを行いながら、数百ギガビット / 秒レベルのシステム パフォーマンスを実現できる能力を備えている。

ARM 社のハードウェア アクセラレーション担当ディレクターであるスペンサー ソンダーズ (Spencer Saunders) 氏は、「ARM 社は我々の IP 検証にこれまでの世代の Virtex FPGA を使っていました。UltraScale アーキテクチャと Vivado® の組み合わせによるイノベーションは、これまでの実績を凌ぐより高い利用率と高性能を実現するでしょう。Virtex UltraScale で提供される超大規模ゲート容量、シリアル帯域幅そして非常に多くの I/O ピン数は、次世代の IP 開発を可能にするでしょう」と述べている。

このデバイスが業界をリードする帯域幅と容量を達成できた大きな要因として、第二世代のスタックド シリコン インターコネクト (SSI) テクノロジーが挙げられる。TSMC 社の CoWoS 製造テクノロジーを基盤として開発された第二世代 SSI テクノロジーは、ダイ間帯域幅が 5 倍となったほか、スライスの境界を越えてクロッキング アーキテクチャを統一することで、実質的にモノリシックと同様のデザイン体験を実現している。ザイリンクスは同社の SSI テクノロジーによって、競合デバイスの 2~4 倍の容量を達成しただけでなく、ムーアの法則を超える進化を持続することに成功している。ザイリンクスは 2011 年、[Virtex-7 2000T デバイス](#)で初めて SSI テクノロジーを採用した。これは当時世界最大の容量を誇ったデバイスで、68 億個ものトランジスタを備え、前例のない 200 万のロジック セルによって 2,000 万 ASIC ゲートに相当する性能を顧客に提供した製品である。

ザイリンクスの UltraScale デバイスは業界唯一の ASIC クラス プログラマブル アーキテクチャによって ASIC クラスのメリットを実現しただけでなく、20nm プレーナから 16nm FinFET テクノロジーまで、またモノリシックから 3D IC におよぶスケラビリティを達成している。TSMC 社の先進的なテクノロジーに加え、ASIC レベルの Vivado Design Suite と、最近導入された UltraFast™ 設計手法の組み合わせによって、実現可能なシステム レベル パフォーマンスとインテグレーションを 1.5 倍から 2 倍に高めることで、ザイリンクスは優に 1~2 年は業界を先行している。

供給体制

UltraScale デバイスは Vivado Design Suite 2013.4 リリースがサポートしており、詳細なプロダクト ドキュメンテーションは japan.xilinx.com/virtex-ultrascale で入手できる。UltraScale アーキテクチャについて詳しくは、japan.xilinx.com/ultrascale を参照されたい。Virtex UltraScale デバイスの出荷は 2014 年前半に開始する予定である。

ザイリンクスについて

ザイリンクスは、All Programmable FPGA および SoC、3D IC の世界的なリーディング プロバイダーである。業界をリードするこれらデバイスと次世代設計環境および IP とともに提供することで、プログラマブル ロジックからプログラマブル システム インテグレーションまで、幅広いユーザー ニーズに応える。詳しい情報は、ウェブサイト japan.xilinx.com で公開している。

※ ザイリンクスの名称およびロゴ、Artix、ISE、Kintex、Spartan、Virtex、Vivado、Zynq、UltraScale、その他本プレスリリースに記載のブランド名は米国およびその他の各国のザイリンクスの登録商標または商標です。その他すべての名称は、それぞれの所有者に帰属します。

このプレスリリースに関するお問い合わせは下記へ

ザイリンクス株式会社 マーケティング部 神保 TEL: 03-6744-7740/FAX: 03-5436-0532

株式会社井之上パブリックリレーションズ ザイリンクス広報担当 鈴木/関 TEL: 03-5269-2301/FAX: 03-5269-2305

下記のザイリンクス株式会社ウェブサイトもご参照ください。

- トップページ : <http://japan.xilinx.com/index.htm>
- プレスリリース (日本語) : http://japan.xilinx.com/japan/j_prs_rls/
- このリリースの全文は次の URL を参照のこと :
- http://japan.xilinx.com/japan/j_prs_rls/2013/ultrascale/industrys-highest-capacity-device-vu440.htm