



プレスリリース

2014 年 4 月 18 日

ザイリンクス、UltraFast 設計手法の自動化と OpenCL によるハードウェア・アクセラレーションをサポートした Vivado Design Suite 2014.1 を発表

**実行時間の短縮、QoR の向上、OpenCL カーネルのサポート、
7 シリーズおよび UltraScale All Programmable デバイスに関する
UltraFast 設計手法ベスト プラクティスの自動化に対応した最新版**

ザイリンクス社 (本社 : 米国カリフォルニア州サンノゼ、NASDAQ : XLNX) は 4 月 16 日 (米国時間)、業界唯一の SoC 向け開発環境である Vivado® Design Suite 2014.1 を発表した。今回のリリースでは UltraFast™ 設計手法の自動化を強化したとともに、ツールの実行時間が平均 25% 高速化し、すべてのデバイスで 5% の性能向上を達成している。また、Vivado Design Suite 2014.1 のもう 1 つの新機能として、Vivado HLS (高位合成) で OpenCL カーネルのハードウェア アクセラレーションをサポートした。

UltraFast 設計手法のトレーニング受講者は 2,500 名を超え、UltraFast 設計手法のビデオ チュートリアルも 30,000 ビューを記録するなど、ザイリンクスは設計生産性の向上を目指して開発された UltraFast 設計手法の認知度と採用の拡大に継続的に取り組んでいる。UltraFast 設計手法のベスト プラクティスを活用することで、多くの設計チームがこれまで数カ月かかっていたプロジェクトのデザイン期間を数週間にまで短縮することができる。

今回第 2 版となった UltraFast 設計手法には、Vivado でサポートされる 28nm 7 シリーズおよび 20nm UltraScale™ デバイスに関するベスト プラクティスが新たに追加された。UltraScale アーキテクチャは、完全にプログラマブルなアーキテクチャに業界最先端の ASIC テクノロジーを導入することによって、フル ライン レートで高性能プロセッシングを行う数百 Gbps のシステム性能を実現しており、テラビット、テラフロップスまでの拡張性を備えている。今回更新された UltraFast 設計手法には、高位合成やパーシャル リコンフィギュレーション、Cadence 社、Mentor Graphics 社、Synopsys 社のフローを用いた検証に関する内容も含まれる。

ツールの強化

UltraFast 設計手法のベスト プラクティスを活用して生産性を向上させるには、デザインに適切な制約条件を与えて短時間でタイミング クロージャを達成することが鍵となる。Vivado Design Suite 2014.1 には新たに双方向形式のタイミング制約ウィザードが追加され、correct-by-construction (構築しながら修正) の制約条件を自動で生成できる。このウィザードに内蔵されたインテリジェントなエンジンが Vivado デザイン データベースへの問い合わせを実行し、クロッキング構造や再利用可能な IP から既存の制約条件を抽出するため、ウィザードの指示に従うだけでデザイン全体に正しい制約条件を適用できる。

今回のリリースに合わせ、便利な機能を実行し生産性の向上に役立つスクリプトをデザイン コミュニティで無料で公開、共有できるザイリンクス Tcl Store も新たに発表された。Tcl Store は Vivado IDE (Integrated Design Environment) 内部からアクセス可能なオープンソース リポジトリとなるもので、設計者は Vivado Design Suite の基本機能を拡張するスクリプトを利用でき、ユーザーは効率化に役立つコードを共有できる。現時点では、カスタム レポート、解析、最適化、ツール フロー制御、デザイン変更などに関する Tcl アプリケーションが公開されている。

Vivado HLS (高位合成)

Vivado HLS は、C/C++/SystemC で記述した仕様をターゲットのザイリンクス All Programmable デバイスへ直接合成でき、RTL を人手で作成する必要がない。ワイヤレス、医療、防衛、民生アプリケーションなどの先進のアルゴリズムを短期間で IP 化する目的で広く利用されている。Vivado IP Integrator と Vivado HLS を組み合わせると、RTL アプローチに比べ最大 1/15 まで開発コストを削減できる。Vivado Design Suite 2014.1 に含まれる最新の Vivado HLS は、アーリー アクセス カスタマー向けに OpenCL カーネルをサポートしている。OpenCL はヘテロジニアス プラットフォームで動作するカーネルを作成するためのフレームワークおよび言語を提供するもので、最新の Vivado HLS ではこれをザイリンクス All Programmable デバイス上で動作する IP にシームレスに変換できる。さらに今回の発表では Vivado HLS に新しい線形代数ライブラリが追加され、信号処理アプリケーションへの対応が強化された。これにより、コレスキー分解、特異値分解 (SVD)、QR 分解、行列乗算などの関数を必要とする C/C++ アルゴリズムを短期間で IP 化できる。

供給体制

Vivado Design Suite 2014.1 は japan.xilinx.com/download からすぐにダウンロード可能である。また、Vivado Design Suite の[トレーニング](#)にサインアップするか、オンライン トレーニングをご覧いただきたい。加えて、[UltraFast 設計手法](#)と Vivado Design Suite をベースとする[ターゲット リファレンス デザイン](#)を利用すれば、生産性を大幅に向上することができる。

ザイリンクスについて

ザイリンクスは、All Programmable FPGA および SoC、3D IC の世界的なリーディング プロバイダーである。業界をリードするこれらデバイスを次世代設計環境および IP とともに提供することで、プログラマブル ロジックからプログラマブル システム インテグレーションまで、幅広いユーザー ニーズに応える。詳しい情報は、ウェブサイト japan.xilinx.com で公開している。

※ ザイリンクスの名称およびロゴ、Artix、ISE、Kintex、Spartan、Virtex、Vivado、Zynq、その他本プレスリリースに記載のブランド名は米国およびその他の各国のザイリンクスの登録商標または商標です。その他すべての名称は、それぞれの所有者に帰属します。

[このプレスリリースに関するお問い合わせは下記へ](#)

ザイリンクス株式会社 マーケティング部 神保 TEL: 03-6744-7740/FAX: 03-5436-0532

株式会社井之上パブリックリレーションズ ザイリンクス広報担当 鈴木/関 TEL: 03-5269-2301/FAX: 03-5269-2305

下記のザイリンクス株式会社ウェブサイトもご参照ください。

- トップページ : <http://japan.xilinx.com/index.htm>
- プレスリリース (日本語) : http://japan.xilinx.com/japan/j_prs_rls/
- このリリースの全文は次の URL を参照のこと :
http://japan.xilinx.com/japan/j_prs_rls/2014/tools/vivado-design-suite-2014-1.htm