



プレスリリース

2014 年 5 月 16 日

## ザイリンクス、Virtex UltraScale FPGA の出荷を開始、 500G アプリケーションをシングルチップでインプリメンテーション可能な 業界唯一の 20nm ハイエンド ファミリを拡張

高品質なハイエンド デバイスである Virtex UltraScale デバイスの提供で、  
競合他社より一世代先行

ザイリンクス社 (本社 : 米国カリフォルニア州サンノゼ、NASDAQ : XLNX) は 5 月 13 日 (米国時間)、Virtex® UltraScale™ VU095 All Programmable FPGA を顧客向けに出荷開始するとともに、400G および 500G アプリケーションをシングルチップでインプリメンテーションできる業界唯一の 20nm ハイエンド ファミリを拡張したことを発表した。Virtex UltraScale VU095 デバイスはこれまでにない水準のパフォーマンスやシステム インテグレーション、帯域幅を実現しており、有線通信、テスト/計測機器、航空宇宙/防衛、データ センターなど幅広いアプリケーションに対応できる。また、Virtex UltraScale ファミリの拡張として今回発表された VU190 FPGA は、約 200 万ロジック セルに加え 130Mb 以上のオンチップ RAM、1000 本以上のパラレル I/O ピン、最大 120 個のシリアル トランシーバーを内蔵している。

ASIC クラスの Virtex UltraScale ファミリは、FPGA 技術と量産実績のある 3D IC 技術の組み合わせによりプログラマブル デバイスとして業界で唯一、これまでのソリューションに比べて消費電力を最大 50% 削減しながら 2 倍以上のシステム レベル パフォーマンスとインテグレーションを実現しており、顧客に次世代レベルの価値を提供する。このファミリは Vivado® Design Suite および UltraFast™ 設計手法と同時最適化されており、高い生産性と予測性を実現するとともに、パフォーマンスの低下なしに抜群のデバイス利用率を達成できる。このファミリは 32.75Gb/s でのチップ間およびチップ-オプティックス間インターフェイスを実現し、かつ、28Gb/s でのバックプレーン転送にも対応したトランシーバーのほか、ASIC クラスの 100G Ethernet および 150G Interlaken コアも複数内蔵している。ザイリンクス SmartCORE™ および LogiCORE™ ソリューションには、UltraScale デザイン向けに幅広い機能構築ブロックに対応した実証済み IP コアが多数用意されている。また、20nm UltraScale デバイスは将来の 16nm FinFET ベースの UltraScale デバイスともフットプリントが共通であり、シームレスな移行が可能である。

ザイリンクスの FPGA プロダクト マネージメント担当シニア ディレクターであるデブ マイロン (Dave Myron) は、「VU095 デバイスが利用可能になったことで、ユーザーはきわめて要求の厳しいデザインのインプリメンテーションに今すぐ着手できるようになりました。また、これまでの技術とは一線を画する VU190 FPGA が Virtex UltraScale ファミリに加わったことで、多くの機能を集積した超高性能なシステムを競合デバイスに比べて、一世代先行して製品化していただけるようになります」と述べている。

## 供給体制

Virtex UltraScale デバイスは現在サンプル出荷中である。UltraScale デバイスをサポートする Vivado Design Suite はすでに利用可能である。詳細は、[japan.xilinx.com/virtex-ultrascale](http://japan.xilinx.com/virtex-ultrascale) を参照されたい。

## 20nm UltraScale ファミリーについて

ザイリンクスの UltraScale デバイスは業界唯一の ASIC クラス プログラマブル アーキテクチャを有しているほか、ASIC レベルの Vivado Design Suite および UltraFast 設計手法との組み合わせにより、ASIC クラスのメリットを実現できる。TSMC 社の 20SoC プロセス技術をベースにした UltraScale デバイスは、現在利用可能なソリューションと比べて消費電力を半分程度に抑えながらシステムのパフォーマンスとインテグレーションを 2 倍以上に高めることができる。これらのデバイスは、次世代インターコネクトおよび ASIC 方式のクロッキング、ロジック ファブリックの大幅な見直し、量産実績のある第 2 世代の 3D IC 技術により、システム レベルのボトルネックを解消するとともに、パフォーマンスに影響を与えずに高いデバイス利用率を安定的に実現できる。

## ザイリンクスについて

ザイリンクスは、All Programmable FPGA および SoC、3D IC の世界的なリーディング プロバイダーである。業界をリードするこれらデバイスを次世代設計環境および IP とともに提供することで、プログラマブル ロジックからプログラマブル システム インテグレーションまで、幅広いユーザー ニーズに応える。詳しい情報は、ウェブサイト [japan.xilinx.com](http://japan.xilinx.com) で公開している。

※ ザイリンクスの名称およびロゴ、Artix、ISE、Kintex、Spartan、Virtex、Vivado、Zynq、その他本プレスリリースに記載のブランド名は米国およびその他の各国のザイリンクスの登録商標または商標です。PCI、PCIe および PCI Express は PCI-SIG の登録商標でライセンスのもとに使用しています。その他すべての名称は、それぞれの所有者に帰属します。

このプレスリリースに関するお問い合わせは下記へ

ザイリンクス株式会社 マーケティング部 神保 TEL: 03-6744-7740 / FAX: 03-5436-0532

株式会社井之上パブリックリレーションズ ザイリンクス広報担当 鈴木 / 関 TEL: 03-5269-2301 / FAX: 03-5269-2305

下記のザイリンクス株式会社ウェブサイトもご参照ください。

- トップページ : <http://japan.xilinx.com/index.htm>
- プレスリリース (日本語) : [http://japan.xilinx.com/japan/j\\_prs\\_rls/](http://japan.xilinx.com/japan/j_prs_rls/)
- このリリースの全文は次の URL を参照のこと :  
[http://japan.xilinx.com/japan/j\\_prs\\_rls/2014/ultrascale/ships-first-virtex-ultrascale-fpga.htm](http://japan.xilinx.com/japan/j_prs_rls/2014/ultrascale/ships-first-virtex-ultrascale-fpga.htm)