

ザイリンクス、56G PAM4 トランシーバー テクノロジーを 16nm Virtex UltraScale+ FPGA に統合

有線およびデータ センター インターコネクト向けに
次なるイーサネット展開を加速するデバイスを提供

ザイリンクス社 (本社 : 米国カリフォルニア州サンノゼ、NASDAQ : XLNX) は 5 月 17 日 (米国時間)、56G PAM4 トランシーバー テクノロジーを、業界をリードする 16nm Virtex® UltraScale+™ FPGA と統合した製品として提供することを発表した。すでに量産出荷の実績がある 16nm FinFET+ FPGA ファブリックを基盤として構成されたこれらのデバイスは、Virtex 製品ラインを拡張して次なるイーサネット展開を推進するとともに、次世代のバックプレーン、光ファイバー通信、高性能インターコネクトへ既存システムを円滑に移行させる。

Virtex UltraScale+ FPGA に 56G PAM4 トランシーバー テクノロジーを統合したこれらのデバイスは、有線通信やデータ センター、無線バックホール アプリケーションを対象としている。これらのデバイスの使うことにより、56G+ ラインレートでのデータ転送の物理的な限界を突破することで、既存インフラの帯域幅を 2 倍にすることが可能となる。

ザイリンクスの SerDes テクノロジー グループ担当バイス プレジデントであるケン チャン (Ken Chang) は、「ザイリンクスは、56G PAM4 を 16nm FPGA へ統合することにより、これからもトランシーバー テクノロジーをリードします。これらの新しいデバイスは実績のある FPGA を基盤として構成されており、間もなく展開される光ファイバー通信や、バックプレーンにおける広範なエコシステムとも調和が取れています」と述べている。

ザイリンクスは 2016 年に初めて、16nm プログラマブル デバイス上での 56G PAM4 トランシーバー テクノロジーのデモンストレーションを実施した。今回の発表は、2016 年のデモンストレーションに続いて、ザイリンクスのトランシーバー テクノロジーにおけるリーダーシップの節目を示すものである。詳細は、ザイリンクスの [56G PAM4 テクノロジーのデモンストレーション](#) をご覧いただき、また最寄りの販売代理店へお問い合わせいただきたい。

ザイリンクスについて

ザイリンクスは、All Programmable FPGA、SoC、MPSoC、RFSoc、3D IC の世界的なリーディング プロバイダーである。ソフトウェア定義でハードウェアが最適化されたアプリケーションを可能にすることによって、クラウド コンピューティング、5G ワイヤレス、エンベデッド ビジョンおよびインダストリアル IoT などの分野に飛躍的進歩をもたらす。詳しい情報は、ウェブサイト japan.xilinx.com で公開している。

※ ザイリンクスの名称およびロゴ、Artix、ISE、Kintex、Spartan、Virtex、Vivado、Zynq、その他本プレスリリースに記載のブランド名は米国およびその他の各国のザイリンクスの登録商標または商標です。その他すべての名称は、それぞれの所有者に帰属します。

このプレスリリースに関するお問い合わせは下記へ

ザイリンクス株式会社 マーケティング部 神保 TEL: 03-6744-7740 / FAX: 03-5436-0532

株式会社井之上パブリックリレーションズ ザイリンクス広報担当 鈴木 / 関 TEL: 03-5269-2301 / FAX: 03-5269-2305

下記のザイリンクス株式会社ウェブサイトもご参照ください。

- トップページ : <http://japan.xilinx.com/>
- プレスリリース (日本語) : <https://japan.xilinx.com/news/press.html>
- このリリースの全文は次の URL を参照のこと :
<https://japan.xilinx.com/news/press/2017/integration-of-56g-pam4-transceiver-into-virtex-fpga.html>