

# 先端的半導体VLSI(注1)の各種遅延・変動要因を解明

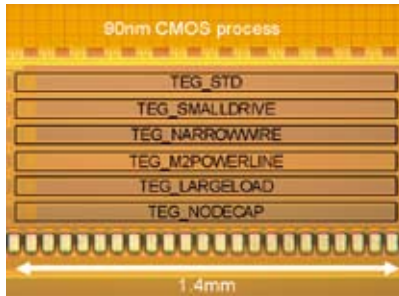
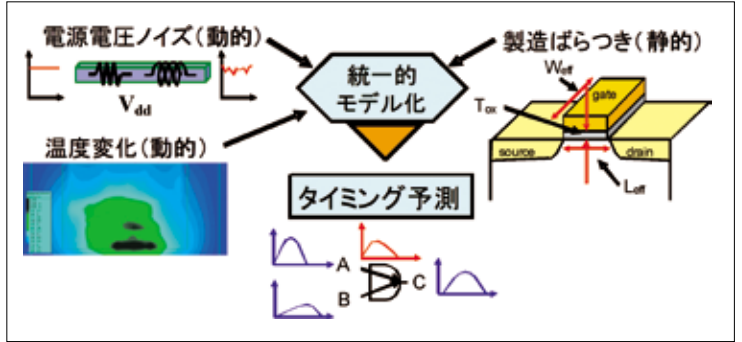
## 遅延変動を考慮したタイミング検証技術を開発

### 90nmプロセスによる遅延変動が

### 現実の設計課題となっていることを世界で初めてシリコンの測定結果で明らかにした

遅延変動要因となる「製造ばらつき」「電源ノイズ」「クロストークノイズ(注2)」のそれぞれを実測してそれら物理現象を解明し、それに基づく解析モデル確立と製造ばらつきと環境変動を統一的に取り扱うタイミング解析手法を構築して、タイミング設計技術を開発した。

- 製造ばらつき・環境変動を製造前に考慮してタイミング設計をすることで、製造後の実動作時のチップ性能を正確に予測できます。
- 本技術での解析結果によって、将来さらに深刻になると予想される遅延変動を抑制することにより、微細化によるVLSIの性能をさらに向上できるものと期待されています。



◀製造ばらつきと環境変動を統一的に取り扱った遅延解析(上)と誘導性クロストーク観測テストチップ(左)

#### 競合技術への強み

##### ①ばらつき要因の実測とモデル化

誘導性のクロストークノイズによる遅延変動を観測する回路を90nmプロセスで設計・試作・測定し、誘導性のクロストークノイズによる遅延変動が、現実の設計課題であることを世界で初めてシリコンの測定結果で明らかにしました。

##### ②遅延変動を考慮したタイミング解析

製造ばらつき、電源変動を総合的に扱うタイミング解析手法を確立するために、広範囲な製造・環境ばらつきのゲート遅延モデルを開発しました。

##### ③遅延変動を抑制する設計プラットフォーム

動的な遅延変動の検出方式としてタイミングエラー予告FF(注3)に着目し、その設計技術を検討。エラー予告FFの挿入位置、遅延素子値、モニタ時間を設計パラメータとし、電力とタイミングエラー確率の関係を解析するフレームワークを構築しました。

ンでの動作とシミュレーションとの相関に注目し、90nmプロセスを用いてシリコン上の動作の観測、ならびにそのモデル検証の研究を開始する。この年、東京大学VDEC、株式会社先端SoC基盤技術開発(ASPLA)の尽力で、当時世界で初めて日本の大学が90nmVLSI試作できるようになった。産業技術研究助成に応募するも、落選。

**2005年**：落選時のコメントを基に研究内容を見直し、産業技術研究助成に応募、採択される。この年よりアメリカの企業や大学を積極的に訪問し、技術交流をするようになる。この活動により、研究内容に関する有意義なフィードバックを得る。

**2006年**：株式会社半導体理工学研究センター(STARC)の共同研究公募に採択。タイミング解析に焦点を絞った共同研究が開始される。しかし、一緒に研究に取り組んだ学生たちの論文がなかなか認められず、本研究の内容および学生たちに過酷な要求をしているのではないかと自問自答する時期を経験する。しかし、学生たちを励まし続け、ポイントを押さえることに留意した粘り強い指導が実を結び、徐々に学生たちの論文も認められる。

**2007年**：ばらつきや環境変動にきわめて弱い超低電圧動作のプロセッサ開発について、科研費若手(A)に採択。

**2008年**：電源ノイズ波形観測回路について、2件表彰を受ける。発展テーマを産業技術研究助成に応募したが、落選。

#### ■サクセス・キー

優秀でやる気のある学生たちと研究を進められたことが最も大きな成功のキーであったと思います。また、先端的90nmプロセスでのVLSI試作を定期的に行える環境が整えられていたことも重要でした。

また、静的な製造ばらつきと動的な環境変動を統一的に取り扱うアイデアが創出できたこともポイントとなりました。これは2006年にSTARCの共同公募研究に応募する際に考えたアイデアですが、試行錯誤を重ねたそれまでの基礎研究が礎になりました。

#### ■ネクスト・ストーリー

これまでの研究成果をさらに深化させるとも

#### ここがポイント

実動作VLSI内の電源電圧変動の空間的分布観測に適した電源ノイズ波形測定回路を考案し、このテスト回路を90nmプロセスで試作し、8Gsamps/s、15mV電圧分解能が達成できることを確認しました。また、本測定回路を用いてデカップリング容量設計(注4)品質を実デバイスで評価しました。

加えて、製造ばらつき(静的)、電源変動(動的)を統一的に考慮するタイミング解析手法を確立するために、広範囲な製造・環境ばらつきに対応したゲート遅延モデルを開発しました。このモデルは電流変動が遅延に与える影響を出力負荷の変化で表現しています。低コストDC解析によって構築される電流モデルを用いることで、ばらつきがない場合の遅延計算式やテーブルをそのまま用いて大きなばらつきに対応させています。

効率的な基板バイアス印加レイアウト方式を検討しました。セル外部でのバイアスを印加する方式の基板電位の制御性を90nmプロセス試作チップで確認しました。測定結果と設計実験より1%未満の面積オーバーヘッドで基板バイアス印加が可能であることを明らかにしました。

#### ブレイクスルーへの道のり

**2002年**：微細化の進むVLSI設計で、製造ばらつきや電源ノイズなどさまざまな遅延変動要因によって回路性能の向上が阻害され、プロセス世代が進んでも回路性能が向上しないのではないかと懸念が半導体産業界で議論され始めた。これを解決すべく、VLSIのタイミング解析技術の研究に注力。科研費若手(B)に採択される。

**2004年**：大阪大学に助教として異動。実シリコ

に、チップごとに適切な性能補償を実現する設計方式が構築できるよう、性能の自己診断、性能制御に注力して研究を進めていきます。

また、現在、2社と行っている共同研究を通して、日本の大手半導体会社への技術移転や実設計への適用、EDAベンダへCADアルゴリズムへの実装の働きかけを行い、これまでの研究成果が広く産業界で活用されるよう努力してまいります。

(注1) Very Large Scale Integrationの略。素子の集積度が10万~1000万個ある集積回路で、先端的な半導体技術や製品のことを言う。

(注2) クロストークノイズとは配線間の容量や相互インダクタンスを通じて隣接配線に伝搬するノイズのこと。

(注3) タイミングエラー予告FFとはメインのFF(フリップフロップ回路)に並列に追加され、メインFFのタイミング余裕が小さくなると警告信号を発するFF。

(注4) 電源電圧を安定化させるために電源とグラウンド間に挿入される容量のこと。



プロジェクトID・研究テーマ名・年度

05A12012d「ナノメートル世代のLSIタイミング設計技術の研究」(平成17年度第1回公募)

代表研究者・所属機関・所属部署名・役職名

橋本 昌宜 大阪大学情報科学研究科 情報システム工学専攻 准教授